

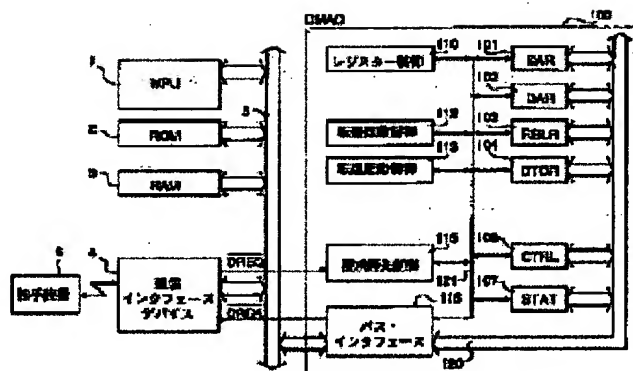
MICROPROCESSOR DEVICE

Patent number: JP7319799
Publication date: 1995-12-08
Inventor: AMAMIYA MASAMI
Applicant: CANON INC
Classification:
 - international: G06F13/28
 - european:
Application number: JP19940133745 19940524
Priority number(s):

Abstract of JP7319799

PURPOSE: To minimize the overhead due to write of reception data to a ring buffer to increase the data transfer speed by providing the bus master consisting of a direct memory access controller which can repeatedly access the area in an arbitrary memory space.

CONSTITUTION: A direct memory access controller (DMAC) 100 which can repeatedly access the area in an arbitrary memory space is prepared as the bus master, and data is transferred from a communication interface device 4 to the ring buffer area in the memory without direct intervention of a micro processor unit (MPU) 1 by direct memory access (DMA) transfer. Thus, the overhead due to write of reception data to the ring buffer is minimized to increase the data transfer speed.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-319799

(43)公開日 平成7年(1995)12月8日

(51)IntCl.⁶

G 0 6 F 13/28

識別記号

3 1 0 G 0832-5E

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数6 FD (全 8 頁)

(21)出願番号 特願平6-133745

(22)出願日 平成6年(1994)5月24日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 雨宮 正己

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

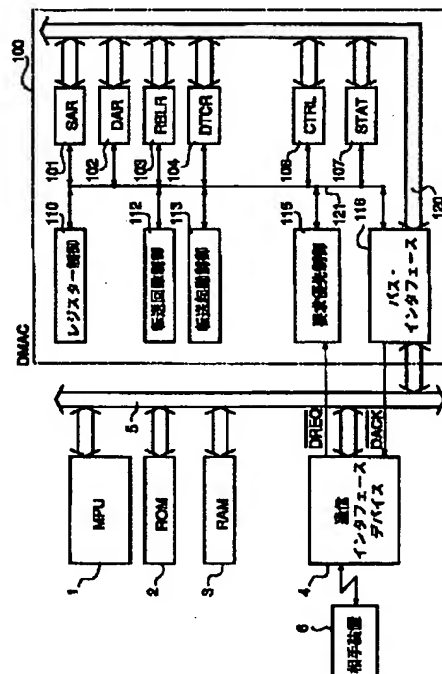
(74)代理人 弁理士 渡部 敏彦

(54)【発明の名称】 マイクロ・プロセッサ装置

(57)【要約】 (修正有)

【目的】 データ転送が高速に行えと共に、受信データのリング・バッファ内への書き込みによるオーバーヘッドを最小限としたマイクロ・プロセッサ装置を提供する。

【構成】 バス・マスターとして任意のメモリー空間内の領域を反復してアクセス可能なDMAC (ダイレクト・メモリー・アクセス・コントローラ) を用意し、通信インターフェース・デバイスからメモリー内のリング・バッファ領域へのデータ転送をMPUの直接的な介在なしにDMA (ダイレクト・メモリー・アクセス) 転送で行う。



【特許請求の範囲】

【請求項1】 共通バス上に接続され且つ共有資源を有する複数のバス・マスターを備えたマイクロ・プロセッサ装置において、前記複数のバス・マスターの内の少なくとも一つのバス・マスターは、任意のメモリー空間内の領域を反復してアクセス可能なダイレクト・メモリー・アクセス・コントローラからなることを特徴とするマイクロ・プロセッサ装置。

【請求項2】 前記ダイレクト・メモリー・アクセス・コントローラが反復アクセスを行うメモリー空間に対する有効アクセスである有効データの書き込みまたは読み出しを実行する以前に当該メモリー位置に対して装置内の他のバス・マスターによる有効アクセスである有効データの書き込みまたは読み出しが完了したことを検出するアクセス完了検出手段と、前記ダイレクト・メモリー・アクセス・コントローラが反復アクセスを行うことで構成されるメモリー・バッファが満杯であることを検出する残量検出手段とを備えたことを特徴とする請求項1記載のマイクロ・プロセッサ装置。

【請求項3】 前記ダイレクト・メモリー・アクセス・コントローラが反復アクセスを行うメモリー空間に対する有効アクセスである有効データの書き込みまたは読み出しを実行する以前に前記ダイレクト・メモリー・アクセス・コントローラが反復アクセスを行うことで構成されるメモリー・バッファの前方位置に対して装置内の他のバス・マスターによる有効アクセスである有効データの書き込みまたは読み出しが完了したことを検出するアクセス完了検出手段と、前記メモリー・バッファの残量が一定量以下であることを検出する残量検出手段とを備えたことを特徴とする請求項1記載のマイクロ・プロセッサ装置。

【請求項4】 前記ダイレクト・メモリー・アクセス・コントローラは、前記残量検出手段により、前記メモリー・バッファが満杯であることを検出した場合に、その旨を装置内の他のバス・マスターに対して通知する通知手段を有することを特徴とする請求項2記載のマイクロ・プロセッサ装置。

【請求項5】 前記ダイレクト・メモリー・アクセス・コントローラは、前記残量検出手段により、前記メモリー・バッファの残量が一定量以下であることを検出した場合に、その旨を装置内の他のバス・マスターに対して通知する通知手段を有することを特徴とする請求項3記載のマイクロ・プロセッサ装置。

【請求項6】 前記ダイレクト・メモリー・アクセス・コントローラは、反復アクセスを行うメモリー空間に対して有効データの書き込みを行う際に、合わせて識別コードを書き込む書き込み手段を有することを特徴とする請求項1乃至4または5記載のマイクロ・プロセッサ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、MPU（マイクロ・プロセッサ・ユニット）を用いて、特にシリアルまたはパラレル通信インタフェースを介して他装置からのデータ受信を行うマイクロ・プロセッサ装置に関する。

【0002】

【従来の技術】 従来、マイクロ・プロセッサ装置において、シリアルまたはパラレル通信インタフェースを介して他装置とのコミュニケーションを行う場合、相手装置から受信したデータが、両装置間で取り決められたプロトコルに基づくコマンドを含む場合には、通常MPUが前記通信インターフェース・デバイスのデータ受信割り込みを受けて、メモリー内の任意の領域に用意されたエンドレス構成のリング・バッファに順次有効データを書き込んで行き、一方で、プログラムのメイン・ルーチン（或いは別タスク）に用意された解析ルーチンで前記リング・バッファ内に一時記憶された有効データを読み出し且つ解析して必要な処理ルーチンを実行するという手順で、前のコマンドの実行中に次のコマンドが相手装置より送信されてきた場合にも、それを取りこぼさないようにするのが一般的である。

【0003】 また、相手装置からのコマンド送信の速度が、マイクロ・プロセッサ装置側のコマンド処理より速い場合は、前記リング・バッファが満杯になり、この間まではデータを取りこぼすことになる。

【0004】 このような場合には、MPUが受信割り込み処理ルーチン内で前記リング・バッファ内に有効データを書き込む前に該リング・バッファの残量をチェックし、該リング・バッファの残量がない場合、または残量が一定量より少ないことを検知した場合、前記通信インターフェース・デバイスがハードウェアによるハンドシェイク機能をサポートしている場合には、以降の通信インターフェース・デバイスからのデータの読み出しを中止し、相手装置に対して次の「データ要求信号」を出力しないようにする。また、前記通信インターフェース・デバイスがハードウェアによるハンドシェイク機能をサポートしていない場合には、予め装置間で取り決められている「送信中断コード」を、通信インターフェース・デバイス通じて相手装置に送信し、これ以上データを受信できない旨を通知する。この場合には、相手装置が上記「送信中断コード」を受信し、それを解析して、送信を中止する以前に若干のデータが相手装置より追加送信されてくることも予想されるが、これに対応するためには、前記リング・バッファの残量が若干ある状態で「送信中断コード」を送信しておくことで、これらの追加送信データを取りこぼすのを防止する。

【0005】 いずれの場合でも、リング・バッファからコマンドが読み出され必要な処理が進み、リング・バッファの所定残量が確保された場合には、前者の場合には、MPUが通信インターフェース・デバイス内の所定

3

のレジスターの内容を読み出すことで、相手装置に対して「データ要求信号」が発信され、データの受信動作が再開される。また、後者の場合には、MPUが通信インターフェース・デバイスを通じて相手装置に対して「送信再開コード」を送信し、データの受信動作が再開される。

【0006】上述した方式は、比較的容易なソフトウェア処理により、相手装置からのデータ受信と受信データの解釈と処理ルーチンの実行が非同期で行え、また、中間バッファを用いたデータの送受信のハンドシェイク処理も容易に行えるため、パーソナル・コンピュータを始めとして、各種の機器に幅広く使用されている。

【0007】

【発明が解決しようとする課題】しかしながら、上述した従来例にあつては、通信インターフェース・デバイス間のデータ転送速度を向上させようとした場合に、通信インターフェース・デバイスが一単位 of データを受信する毎に、MPUに対して割り込み要求を発生し、それを受けてMPUは単位データ受信処理ルーチンを起動し、受信データのリング・バッファ内への書き込み処理を実行するため、この割り込みルーチンの起動と終了時の切り替えによるオーバーヘッドの発生が無視できなくなり、MPUの使用効率の低下を招くという問題点があった。

【0008】例えば、MPUの割り込みソフトウェア処理により、1バイトの受信データの転送を実行させると、使用するMPUの性能にもよるが、16ビットのデータ幅を持つ標準的なMPUを用いても、数10 μ sの処理時間が必要であり、19200ボーのシリアル・インターフェースの通信デバイスからの受信データを処理した場合、これだけでMPUの処理能力の10%程度を使用してしまうことになる。

【0009】本発明は上述した従来の技術の有するこのような問題点に鑑みてなされたものであり、その目的とするところは、データ転送が高速に行えと共に、受信データのリング・バッファ内への書き込みによるオーバーヘッドを最小限としたマイクロ・プロセッサ装置を提供しようとするものである。

【0010】

【課題を解決するための手段】上記目的を達成するために本発明のマイクロ・プロセッサ装置は、共通バス上に接続され、共有資源を有する複数のバス・マスターを持つマイクロ・プロセッサ装置において、任意のメモリー空間内の領域を反復してアクセス可能なダイレクト・メモリー・アクセス・コントローラからなるバス・マスターを、少なくとも一つ有することを特徴とするものである。

【0011】また、同じ目的を達成する上で、前記ダイレクト・メモリー・アクセス・コントローラがアクセスを行うメモリー空間に対する有効データのリードまたはライトを実行する以前に当該メモリー位置に対して、装

4

置内の他のバス・マスターによる有効データのリードまたはライトが完了したことを確認する検知手段により、前記ダイレクト・メモリー・アクセス・コントローラが反復アクセスを行うことで構成されるエンドレスのリング状のメモリー・バッファが満杯であることを検出する検出手段を持つことが望ましい。

【0012】また、同じ目的を達成する上で、前記ダイレクト・メモリー・アクセス・コントローラが反復アクセスを行うメモリー空間に対する有効データのリードまたはライトを実行する以前に前記ダイレクト・メモリー・アクセス・コントローラが反復アクセスを行うことで構成されるエンドレスのリング状のメモリー・バッファの前方位置に対して、装置内の他のバス・マスターによる有効データのリードまたはライトが完了したことを確認する検知手段により、前記ダイレクト・メモリー・アクセス・コントローラが反復アクセスを行うことで構成されるエンドレスのリング状のメモリー・バッファの残量が一定量以下となったことを検出する検出手段を持つことが望ましい。

【0013】また、同じ目的を達成する上で、前記検出手段により、前記エンドレスのリング状のメモリー・バッファの残量が無いこと或は一定量以下であることを検出した場合に、装置内の他のバス・マスターに対して通知する機能を持つダイレクト・メモリー・アクセス・コントローラを有することが望ましい。

【0014】更に、同じ目的を達成する上で、前記ダイレクト・メモリー・アクセス・コントローラが反復アクセスを行うメモリー空間に対して有効データのライトを行う際に、合わせて識別コードを書き込む書き込み手段を持つダイレクト・メモリー・アクセス・コントローラを有することが望ましい。

【0015】

【作用】バス・マスターとして任意のメモリー空間内の領域を反復してアクセス可能なDMAC（ダイレクト・メモリー・アクセス・コントローラ）を用意し、通信インターフェース・デバイスからメモリー内のリング・バッファ領域へのデータ転送をMPUの直接的な介在なしにDMA（ダイレクト・メモリー・アクセス）転送で行う。これにより、受信データのリング・バッファ内への書き込みによるオーバーヘッドが最小限となる。

【0016】

【実施例】以下、本発明の実施例を図面に基づき説明する。

【0017】（第1実施例）まず、本発明の第1実施例を図1及び図2に基づき説明する。図1は、本発明の第1実施例に係るマイクロ・プロセッサ装置を備えた通信システムの構成を示すブロック図であり、同図中、1は通信システムで、本発明のマイクロ・プロセッサ装置2と、該マイクロ・プロセッサ装置2に通信ライン3を介して接続された相手装置4とからなる。

5

【0018】本発明のマイクロ・プロセッサ装置2は、MPU（マイクロ・プロセッサ・ユニット）5、ROM（リード・オンリー・メモリー）6、RAM（ランダム・アクセス・メモリー）7、通信インターフェース・デバイス8及びDMAC（ダイレクト・メモリー・アクセス・コントローラ）9を有し、これらの各資源は、コモン・バス10を介して相互に接続されている。

【0019】MPU5は、本装置2全体を制御するものである。ROM6は、読み出し専用メモリーであって、MPU5が本装置2全体を制御するための制御プログラムを格納している。RAM7は、読み書き可能メモリーであって、各種のデータを格納するものである。通信インターフェース・デバイス8は、本装置2と相手装置4との間でデータのやり取りを行うものである。

【0020】DMAC9は、SAR（ソース（転送元）・アドレス・レジスター）11、DAR（デスティネーション（転送先）・アドレス・レジスター）12、RBLR（リング・バッファ・レンジ・レジスター）13、DTCR（データ・トランスファー・カウンタ・レジスター）14、CTRL（DMA・コントロール・レジスター）15、STAT（DMA・ステータス・レジスター）16、レジスター制御手段17、転送回数制御手段18、転送起動制御手段19、要求優先制御手段20及びバス・インターフェイス21を有している。

【0021】SAR11は、DMA転送元アドレスを指定するレジスターである。DAR12は、DMA転送先アドレスを指定するレジスターである。RBLR13は、DAR12により指定したDMA転送先アドレスを先頭として、該RBLR13により指定した長さ分のメモリー領域をリング・バッファとして確保するレジスターである。なお、RBLR13の代わりにリング・バッファ領域の終了アドレスまたは終了アドレス+1の位置を指定するアドレス・レジスターを用いてもよい。

【0022】DTCR14は、DMA転送回数を指定するレジスターである。本実施例によるリング・バッファ領域に対する転送時、DMA転送回数として無限大回数を指定する場合には、「0」を設定する。CTRL15は、DMA転送モードを指定するレジスターである。STAT16は、DMA転送状態を表示するものである。

【0023】以上のDMAC9の各レジスター11乃至16は、内部バス22にそれぞれ接続され、バス・インターフェイス21を介してコモン・バス10に接続される。

【0024】レジスター制御手段17は、各レジスター11乃至16へのアクセス等を制御するものである。転送回数制御手段18は、DMA転送回数を計数／制御するものである。転送起動制御手段19は、MPU5とコモン・バス10の使用権の調停を行い、DMA転送開始を制御するものである。要求優先制御手段20は、複数のデバイスからのDMA要求の調停を行うものである。

6

これらの各制御手段17乃至20及び各レジスター11乃至16は、制御信号バス23を介して相互に接続される。

【0025】次に、本実施例によるDMAC9の反復アクセス・モード時におけるDMA転送動作を、図2のフローチャートに基づいて説明する。

【0026】DMAC9の動作に先立ってMPU5は、コモン・バス10を介してDAR12にリング・バッファの先頭アドレス値を、PBLR13にリング・バッファの長さを、DTCR14にDMA転送回数（無限大回数を設定する場合には0）を設定し、CTRL15のDMA転送許可ビットを有効にする。これにより、DMAC9に対するイニシャライズ処理が完了する（ステップS201）。

【0027】この様にしてイニシャライズ処理が完了すると、以後、相手装置4から送信されたデータを通信インターフェース・デバイス8が受信し、受信データ読み出す。そして、レジスターから読み出し可能な状態になると、通信インターフェース・デバイス8は、DMAC9に対してDREQ（DMAリクエスト）信号を有効とし、読み出すべきデータが用意されたことを通知する（ステップS202）。この通知を受けてDMAC9は、DACK（DMAアックノリッジ）信号を有効とし、通信インターフェース・デバイス8に対して、受信データをコモン・バス10のデータ・バス・ラインに出力させ、これと同時に自身の転送起動制御手段19を働かせ、バス・インターフェース21により、先にDAR12により指定したメモリー内のリング・バッファ領域の先頭アドレスをコモン・バス10のアドレス・バス・ラインに出力すると共に、書き込みパルスが発生させ、リング・バッファに受信データを書き込み、次のデータ転送に備えて内部のアドレス・カウンタの値を1つ進める（ステップS203）。

【0028】以上の手順を繰り返し、データの転送が進行し、内部のアドレス・カウンタの値が、DAR12に設定されたアドレス値にRBLR13に設定された長さを加算したアドレス値に達した場合には、内部のアドレス・カウンタの値を、DAR12に設定されたアドレス値にプリセットすることで（ステップS204）、リング・バッファ領域に受信データを反復して書き込んで行くことが可能である。

【0029】上述した動作は、MPU5とDMAC9という、共にバス取得権を有するデバイスが互いにハードウェアによるバス取得権の調停を行い交互に動作するため、両者の動作切り換えによる無用なバス・サイクルの浪費がなく、非常に高速且つ高効率で行われる。

【0030】（第2実施例）次に、本発明の第2実施例を図3に基づき説明する。

【0031】図3は、本発明の第2実施例に係るマイクロ・プロセッサ装置を備えた通信システムの構成を示

7

すブロック図であり、同図において、上述した第1実施例の図1と同一部分に付いては、同一符号を付してある。図3において図1と異なる点は、DMACの構成である。即ち、本実施例のDMAC9aは、図1のDMAC9の構成に、PCR（ポーズ（転送中断）・コントロール・レジスタ）24、割り込み制御手段25及び転送中断制御手段26を付加したことである。

【0032】PCR24は、ワード（2バイト長）・サイズを持ち、上位バイトにはDMAアクセス識別コードを、下位バイトには他のバス・マスター・アクセス識別コードをそれぞれ書き込むものである。割り込み制御手段25は、後述する手段により、リングバッファの満杯（または、残量が一定値以下）を検出した場合に、MPU5に対してIRQ（インタラプタ・リクエスト（割り込み要求））信号を発行する機能を有する。

【0033】また、本実施例のバス・インタフェース21aは、基本的には上述した第1実施例のバス・インタフェース21と同様であるが、本実施例のバス・インタフェース21aは、コモン・バス10に対するアクセスをワード（2バイト）単位で行い、上位バイトまたは下位バイトのいずれかと、PCR24により指定されたDMAアクセス識別コード或は他のバス・マスター・アクセス識別コードとを比較して、それらが一致した場合には、各々一致信号を出力する機能を備えたものである。

【0034】次に、本実施例のDMAC9aの反復アクセス・モード時におけるDMA転送動作を説明する。反復アクセス・モード時には、本実施例のDMAC9aは、イニシャライズ処理時にPCR24に対してDMAアクセス識別コード及びMPU識別コードを書き込む処理を追加する。また、これと同時に、MPU5のソフトウェアにより、リングバッファ領域全域にイニシャライズ・データとしてMPUアクセス識別コード（例えば、16進数の\$11）を書き込んでおく。

【0035】以上のイニシャライズ処理の終了後、通信インタフェース・デバイス8がデータを受信すると、DREQ信号を有効とし、DMAC9aに対してDMA転送要求信号を発行する。該DMA転送要求信号を受信するとDMAC9aは、リング・バッファの当該メモリー位置に対して、ワード（2バイト）単位でアクセスを行い、ワード単位でデータを読み出し、上位バイトが先に設定したMPUアクセス識別コード或はDMACアクセス識別コードと一致しているか否かの比較判別処理を行う。

【0036】この比較判別処理の結果、上位バイトがMPUアクセス識別コードと一致した場合には、当該メモリー位置が空であると判断し、DMAC9aは、バス・インタフェース21aを操作し、コモン・バス10のデータ・バスの上位バイトにDMACアクセス識別コードを出力させ、同時にDACK信号を有効にし、通信インタフェース・デバイス8の受信データを下位バイトに出

8

力させると共に、書き込みパルスが発生させ、当該メモリー位置の上位バイトにDMACアクセス識別コードを、下位バイトに受信データを書き込む。

【0037】一方、先の比較判別処理の結果、上位バイトがDMACアクセス識別コードと一致した場合には、当該メモリー位置の前回書き込みデータがMPU5によりまだ読み出されていない、即ち、リング・バッファが満杯であると判断し、通信インタフェース・デバイス8に対するDACK信号の発行を行わずに、STAT16のDMA中断中ビットを有効とすると共に、割り込み制御手段25によりMPU5に対してIRQ（リング・バッファ満杯割り込み要求）信号を発行した後、DMAC9aは休止状態となる。

【0038】以後、MPU5により当該メモリー位置の受信データを読み出し、同時に上位バイトにMPUアクセス識別コードを書き込んだ後、CTRL15のDMA転送再開ビットを有効とすることで、DMAC9aの動作が再開され、DACK信号が出力され、上述と同様の手段により受信データのリング・バッファへの書き込みが行われる。

【0039】他方、先の比較判別処理の結果、上位バイトがいずれの識別コードとも一致しない場合には、リング・バッファ領域がイニシャライズされていないものとみなし、必要なエラー処理を行う。

【0040】以上の説明では、DMAC9aのDMA転送の再開をMPU5がDMAC9aに再開指令を出すことにより行ったが、DMAC9a自身が休止中に定期的に当該メモリー位置を読み出して、MPUアクセス識別コードが書き込まれたことを認識して自動的にDMA転送を再開するように構成することも可能である。

【0041】また、マイクロ・プロセッサ装置内に複数のMPUが存在している場合には、上述したMPUアクセス識別により（例えば、第1のMPUは\$11、第2のMPUは\$12としておく）、上述のIRQ信号を発行するMPUを選択することも可能である。

【0042】本実施例におけるその他の構成、動作及び効果は、上述した第1実施例と同様であるから、その説明を省略する。

【0043】（第3実施例）次に、本発明の第3実施例を図4に基づき説明する。

【0044】図4は、本発明の第2実施例に係るマイクロ・プロセッサ装置を備えた通信システムの構成を示すブロック図であり、同図において、上述した第2実施例の図3と同一部分に付いては、同一符号を付してある。図4において図3と異なる点は、DMACの構成である。即ち、本実施例のDMAC9bは、図3のDMAC9aの構成に、オフセット値を設定するためのレジスタであるOSR（オフセット・レジスタ）27を付加したことである。

【0045】即ち、上述した第2実施例では、リング・

バッファの満杯を検出するために、MPU識別コードの有無をチェックするメモリ位置を、受信データを書き込もうとするメモリ位置に隣接した位置に設定したため、リングバッファが満杯の状態のみしか検知することができなかったが、本実施例では、OSR27により設定したオフセット値分だけ、リング・バッファの前方位位置（アドレスの物理的な上位位置ではなく、オフセット値分後の受信データを書き込むメモリ位置を表わす）に対してMPU識別コードの有無をチェックすることにより、リング・バッファに一定量の残量がある状態でMPU5に対してIRQ（この場合には、リング・バッファ残量減割り込み）信号の発行が可能となり、通信インタフェース・デバイス8がハードウェアによる完全なハンドシェイク機能をサポートしていない場合、例えば、3線式のシリアル・インタフェースにおいて、X-OFF/X-ONコードによるソフトウェアにより送信の許可及び禁止制御を行っている場合に有効である。

【0046】即ち、この方式の場合、相手装置4がX-OFFコード（即ち、「送信中断コード」）を受信し、それを解析して、送信を中断する以前に若干のデータが相手装置4から追加送信されてくる場合があり、この場合にリング・バッファが満杯になった後に「送信中断コード」を送信したのでは、上述した追加データを取りこぼす恐れがある。

【0047】これに対処するためには本実施例で示したリング・バッファに所定値以上の残量がある状態でDMA転送を中断して、MPU5に制御権を渡し、相手装置4に対して通信インタフェース・デバイス8を通して「送信中断コード」を送信できる機能が不可欠である。

【0048】尚、本実施例におけるその他の構成、動作及び効果は、上述した第2実施例と同様であるから、その説明を省略する。

【0049】（その他の実施例）上述した各実施例においては、DMACが受信データを読み出す通信インタフェース・デバイスとして、DREQ/DACK機能付きのものを例示して説明したが、これに限られるものではなく、DREQ/DACK機能が付いてない汎用の通信インタフェース・デバイスに対しても、マイクロ・プロセッサ装置のメモリ・アドレス空間上に配置されたデバイスであれば、まず、DMACが通信インタフェース・デバイスのアドレスを出力し、該デバイスが出力した受信データをDMAC内のデータ・バッファに一時記憶しておき、次のサイクルでリング・バッファ内の当該メモリ・アドレスと共に、一時記憶しておいた受信デ

ータを出力し、メモリ書き込みを行うデュアル・アドレス・モードを用いてDMA転送を行うことが可能である。

【0050】

【発明の効果】以上詳述したように本発明のマイクロ・プロセッサ装置によれば、バス・マスターとして任意のメモリ空間内の領域を反復してアクセス可能なDMAC（ダイレクト・メモリ・アクセス・コントローラ）を用意し、通信インタフェース・デバイスからメモリ内のリング・バッファ領域へのデータ転送をMPUの直接的な介入なしにDMA（ダイレクト・メモリ・アクセス）転送で行うので、その転送が従来ソフトウェア手段により転送を行う場合に比して高速に行えると共に、受信データのリング・バッファ内への書き込みによるオーバーヘッドが最小限となる。

【0051】また、リング・バッファ領域内に合わせてアクセス識別コード領域を設けたことにより、直接MPUの介入なしにDMA自身により、リング・バッファの残量の検知を行い、必要な場合には割り込み機能を用いて、MPUに通知する機能を実現し、高速通信インタフェース使用時にも、データの取りこぼしのないデータ転送が可能となる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係るマイクロ・プロセッサ装置を備えた通信システムの構成を示すブロック図である。

【図2】同マイクロ・プロセッサ装置におけるDMACの動作を示すフローチャートである。

【図3】本発明の第2実施例に係るマイクロ・プロセッサ装置を備えた通信システムの構成を示すブロック図である。

【図4】本発明の第3実施例に係るマイクロ・プロセッサ装置を備えた通信システムの構成を示すブロック図である。

【符号の説明】

2 マイクロ・プロセッサ装置

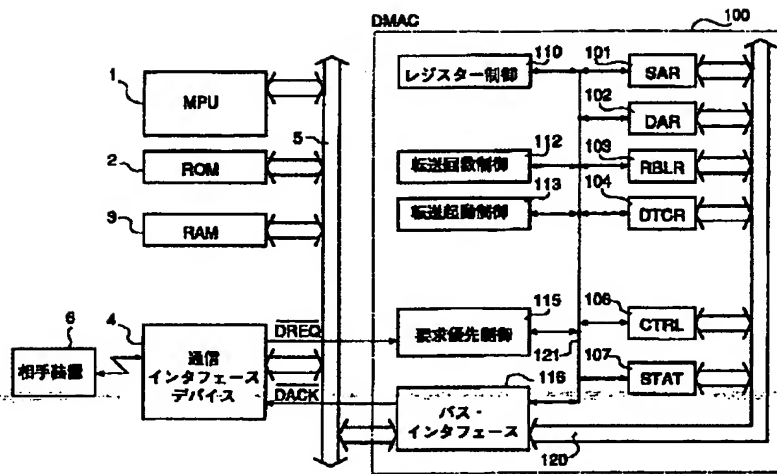
5 MPU（アクセス完了検出手段、残量検出手段、通知手段、書き込み手段）

9 DMAC（ダイレクト・メモリ・アクセス・コントローラ）

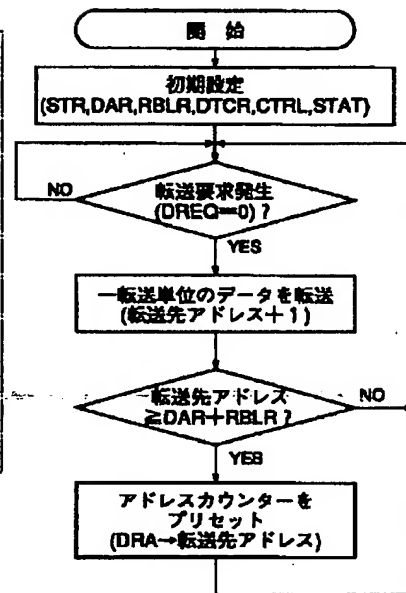
9a DMAC（ダイレクト・メモリ・アクセス・コントローラ）

9b DMAC（ダイレクト・メモリ・アクセス・コントローラ）

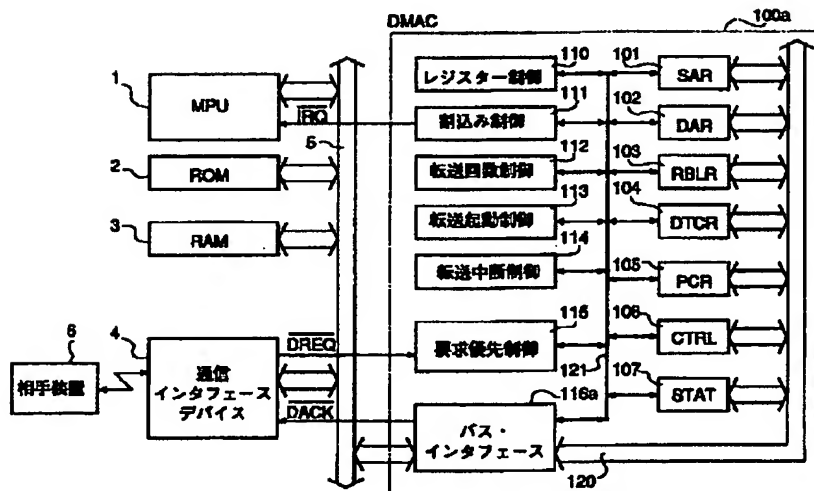
【図1】



【図2】



【図3】



【図4】

